

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-322216

(43)Date of publication of application : 12.11.1992

(51)Int.CI.

G02F 1/133
G09G 3/36

(21)Application number : 03-091929

(71)Applicant : HITACHI LTD

(22)Date of filing : 23.04.1991

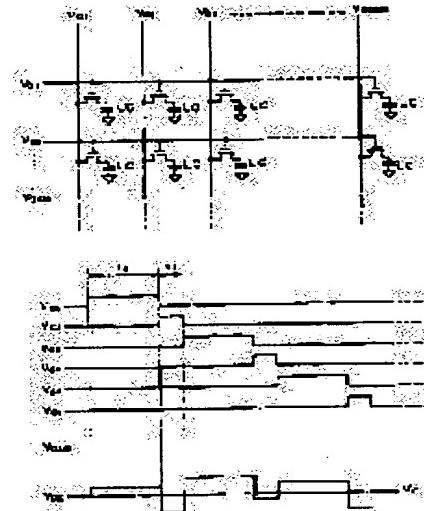
(72)Inventor : TAKAHATA MASARU
KITAJIMA MASAHIKI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To obtain superior display quality even if field-effect mobility decreases owing to variance among processes by making the width of a gate pulse when a plus drain signal is applied longer than the width of the gate pulse when a minus drain signal is applied.

CONSTITUTION: The timing of gate signal groups VG1-VG480 in the row-by-row inverted driving of a-Si TFTs is as shown in figure. In the figure, VDK is an optional drain signal, t₂ the gate pulse width when the drain signal is plus, t₃ the gate pulse width when the drain signal is minus, VC the center potential of the amplitude of the drain signal. Namely, the gate pulse width t₂ when the drain signal is plus is longer than the gate pulse width t₃ when minus. Therefore, when the drain signal is plus, the driving ability of the a-Si TFTs is low, but the gate pulse width t₂ is long, so the drain signal is applied sufficiently to a liquid crystal terminal part.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-322216

(43)公開日 平成4年(1992)11月12日

(51)Int.Cl.⁵

G 0 2 F 1/133
G 0 9 G 3/36

識別記号

5 5 0
7820-2K
7926-5G

序内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 7 (全 9 頁)

(21)出願番号 特願平3-91929
(22)出願日 平成3年(1991)4月23日

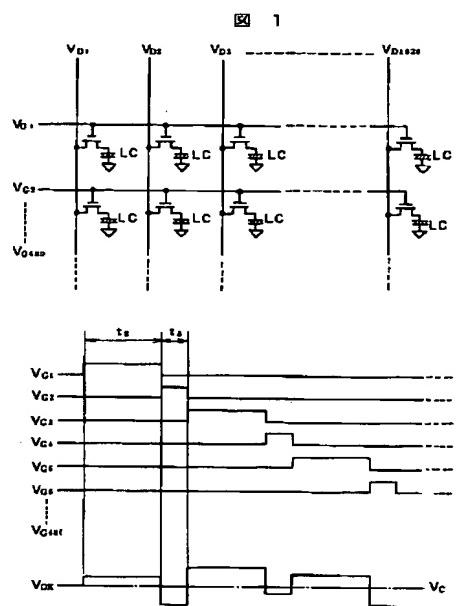
(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72)発明者 高畠 勝
茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内
(72)発明者 北島 雅明
茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内
(74)代理人 弁理士 高田 幸彦

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 a-Si TFT-LCDにおいて、プロセスのバラツキ等により電界効果移動度が低下しても表示品質の優れた液晶表示装置を提供する。

【構成】 行毎反転駆動のa-Si TFT-LCDのゲートの駆動波形において、正極性のドレイン信号が印加された時のゲートパルス幅は負極性のドレイン信号が印加された時のゲートパルス幅より長くする。



【特許請求の範囲】

【請求項1】 行列方向に配置された各画素と対応するよう に設けられた画素用TFT、該TFTのゲート電極を各行ごとに共通接続する走査電極、該TFTのドレインを各列ごとに共通接続する信号電極、該TFTのソースと接続されている各画素の表示電極、走査電極への駆動信号出力を制御する走査側駆動回路、信号電極への駆動信号出力を制御する信号側駆動回路、および行毎反転駆動を有する液晶表示装置において、正極性のドレイン信号が印加された時のゲートパルス幅は負極性のドレイン信号が印加された時のゲートパルス幅より長いことを特徴とする液晶表示装置。

【請求項2】 行列方向に配置された各画素と対応するよう に設けられた画素用TFT、該TFTのゲート電極を各行ごとに共通接続する走査電極、該TFTのドレインを各列ごとに共通接続する信号電極、該TFTのソースと接続されている各画素の表示電極、走査電極への駆動信号出力を制御する走査側駆動回路、信号電極への駆動信号出力を制御する信号側駆動回路、および行毎反転駆動を有する液晶表示装置において、走査側の奇数ライン群に許容される1ラインの選択時間と走査側の偶数ライン群に許容される1ラインの選択時間とは異なることを特徴とする液晶表示装置。

【請求項3】 請求項1記載の信号側駆動回路の構成は、各列ごとにトランスマニアゲートTFTとラインメモリとなるコンデンサを具備し、ドレイン信号(表示信号)群V_{d1}～V_{dn}は各々2個のトランスマニアゲートTFTのドレインに接続され、選択信号群φ₁、φ₂は各々複数のトランスマニアゲートTFTのゲートに接続されており、正極性のドレイン信号が印加された時の選択信号群φ₁、φ₂各々の選択パルス幅は負極性のドレイン信号が印加された時の選択信号群φ₁、φ₂各々の選択パルス幅より長いことを特徴とする液晶表示装置。

【請求項4】 請求項1記載の信号側駆動回路の構成は、奇数列(または偶数列)ごとにトランスマニアゲートTFTとラインメモリとなるコンデンサを具備し、ドレイン信号(表示信号)群V_{d1}～V_{dn}は各々奇数列(または偶数列)のトランスマニアゲートTFTのドレインおよび隣の偶数列(または奇数列)の信号電極に接続され、選択信号φはトランスマニアゲートTFTのゲートに接続されており、正極性のドレイン信号が印加された時の選択信号φの選択パルス幅は負極性のドレイン信号が印加された時の選択信号φの選択パルス幅より長いことを特徴とする液晶表示装置。

【請求項5】 行列方向に配置された各画素と対応するよう に設けられた画素用TFT、該TFTのゲート電極を各行ごとに共通接続する走査電極、該TFTのドレインを各列ごとに共通接続する信号電極、該TFTのソースと接続されている各画素の表示電極、走査電極への駆動信号出力を制御する走査側駆動回路、信号電極への駆動

信号出力を制御する信号側駆動回路、および列毎反転駆動を有する液晶表示装置において、信号側駆動回路の構成は、各列ごとにトランスマニアゲートTFTとラインメモリとなるコンデンサを具備し、ドレイン信号(表示信号)群V_{d1}～V_{dn}は各々2個のトランスマニアゲートTFTのドレインに接続され、選択信号群φ₁、φ₂は各々複数のトランスマニアゲートTFTのゲートに接続されており、正極性のドレイン信号が印加された時の選択信号φ₁の選択パルス幅は負極性のドレイン信号が印加された時の選択信号φ₂の選択パルス幅より長いことを特徴とする液晶表示装置。

【請求項6】 行列方向に配置された各画素と対応するよう に設けられた画素用TFT、該TFTのゲート電極を各行ごとに共通接続する走査電極、該TFTのドレインを各列ごとに共通接続する信号電極、該TFTのソースと接続されている各画素の表示電極、走査電極への駆動信号出力を制御する走査側駆動回路、信号電極への駆動信号出力を制御する信号側駆動回路、および行毎反転駆動を有する液晶表示装置において、信号側駆動回路の構成は、奇数列(または偶数列)ごとにトランスマニアゲートTFTとラインメモリとなるコンデンサを具備し、ドレイン信号(表示信号)群V_{d1}～V_{dn}は各々奇数列(または偶数列)のトランスマニアゲートTFTのドレインおよび隣の偶数列(または奇数列)の信号電極に接続され、選択信号φはトランスマニアゲートTFTのゲートに接続されており、1ゲートラインの選択時間内でφがオン電圧になっている時間とφがオフ電圧になっている時間とでは異なることを特徴とする液晶表示装置。

【請求項7】 請求項3、4、5、6で記載されているト

ランスマニアゲートTFTはアモルファスシリコンをレー ザアニールすることにより形成されることを特徴とする 液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、液晶表示装置に係り、特にアモルファスシリコンTFTを用いたアクティブマトリクス液晶ディスプレイの表示品質の向上、およびコスト低減に関するものである。

【0002】

【従来の技術】 従来、a-Si(アモルファスシリコン)を用いたアクティブマトリクス液晶ディスプレイの駆動に関しては、例えばソサイエティー・フォー・インフォメーション・ディスプレイ・ダイジェスト89(1989年)第151ページから第154ページ(Society for Information Display 89 Digest(1989), p.p. 151-154)において記されている。図2に上記駆動波形およびTFT-LCD(Thin Film Transistor-Liquid Crystal Display)の回路構成を示す。図中において、V_{d1}～V_{d1920}はドレイン信号群、V_{g1}～V_{g480}はゲート信号群、V_{b1}は任意のドレン

信号、 V_c はドレンイン信号の振幅の中心電位、 $L C$ は液晶、 t_1 は表示部 1 ゲートラインの選択時間である。図中に示すように駆動方法としては、フリッカを低減させる目的で 1 ゲートライン毎にドレンイン信号の極性を反転させる駆動、即ち、行毎反転駆動を用いている。

【0003】

【発明が解決しようとする課題】上記した従来技術は、次のような問題点を有していた。

【0004】すなわち、a-Si TFT は本質的に駆動能力が低いデバイスなので、プロセスのバラツキ等により電界効果移動度が低下すると、480 ライン程度のディスプレイの駆動でさえ困難になる。この主原因は正極性時におけるドレンイン信号が a-Si TFT を介して液晶端子部に充分に印加されないことがある。これはドレンイン信号が正極性時には、TFT のデバイス動作におけるゲート・ソース間電位 V_{cs} が液晶端子部の電位の上昇とともに低下するため、TFT のオン抵抗が徐々に上昇する理由によるものである。一方、ドレンイン信号が負極性時には、 V_{cs} は液晶端子部の電位の低下には関係なく一定なので TFT のオン抵抗は充分低い。よって、ドレンイン信号が負極性時にはドレンイン信号は液晶端子部に比較的高速に印加される。

【0005】本発明の目的は、以上に述べた問題点を解決し、480 ライン以上のディスプレイにおいて表示品質の優れた液晶表示装置を提供することである。

【0006】

【課題を解決するための手段】前記の問題点を解決するために、本発明は行列方向に配置された各画素と対応するように設けられた画素用 TFT、該 TFT のゲート電極を各行ごとに共通接続する走査電極、該 TFT のドレンインを各列ごとに共通接続する信号電極、該 TFT のソースと接続されている各画素の表示電極、走査電極への駆動信号出力を制御する走査側駆動回路、信号電極への駆動信号出力を制御する信号側駆動回路、および行毎反転駆動を有する液晶表示装置において、正極性のドレンイン信号が印加された時のゲートパルス幅は負極性のドレンイン信号が印加された時のゲートパルス幅より長いことを特徴とする液晶表示装置を提供した点に特徴がある。

【0007】

【作用】上記した駆動法だと、ドレンイン信号が正極性時にはゲートパルス幅が負極性時のゲートパルス幅よりも長い。従って、正極性時には a-Si TFT の駆動能力は低いけれども、ゲートパルス幅は長いので、ドレンイン信号は液晶端子部に充分に印加される。したがって、プロセスのバラツキ等により TFT の電界効果移動度が低下しても、480 ライン以上の液晶ディスプレイは表示品質の優れた液晶表示装置が提供される。

【0008】

【実施例】以下に、図面を参照して本発明を詳細に説明する。

【0009】図 1 は行毎反転駆動における本発明によるゲート信号群 $V_{c1} \sim V_{c480}$ のタイミングチャートを示したものである。図中において、 V_{c1} は任意のドレンイン信号、 t_2 はドレンイン信号が正極性時におけるゲートパルス幅、 t_3 はドレンイン信号が負極性時におけるゲートパルス幅、 V_c はドレンイン信号の振幅の中心電位である。上記した駆動法だと、ドレンイン信号が正極性時にはゲートパルス幅が負極性時のゲートパルス幅よりも長い。従って、正極性時には a-Si TFT の駆動能力は低いけれども、ゲートパルス幅は長いので、ドレンイン信号は液晶端子部に充分に印加される。したがって、480 ライン以上の液晶ディスプレイにおいても表示品質の優れた液晶表示装置が提供される。

10

20

20

30

30

40

40

50

【0010】図 3 は行毎反転駆動で信号側駆動回路を内蔵した TFT-LCD の回路構成、図 4 は図 3 に示したゲート信号群 $V_{c1} \sim V_{c480}$ 、選択信号群 ϕ_1 、 ϕ_2 、及び任意のドレンイン信号 V_{dk} のタイミングチャートを示したものである。図中において、 $L C$ は液晶、 Q_1 はトランジスタゲート TFT、 C_{line} はラインメモリ容量、 $V_{d1} \sim V_{d480}$ はドレンイン信号群、 V_c はドレンイン信号の振幅の中心電位、 t_1 は表示部 1 ゲートラインの選択時間である。ここでトランジスタゲート TFT Q_1 は a-Si TFT をレーザーアニールすることにより形成している。動作としては任意のゲートラインが選択されている間に 960 列分の表示信号（ドレンイン信号）を 2 回にわたって表示部の液晶端子部に各々書込む。したがって、従来信号側に 1920 本の引き出し電極が必要だったものが 962 (960+2) 本の引き出し電極でよいことになる。このことにより、信号側ドライバのコストが低減できる。

【0011】以下、本発明を上記周辺回路内蔵 TFT-LCD に適用した実施例について説明する。

【0012】図 5 は図 3 に示した回路構成に適用した本発明の駆動法を示したものである。図中において、 $V_{c1} \sim V_{c480}$ はゲート信号群、 ϕ_1 、 ϕ_2 は選択信号群、 V_{dk} は任意のドレンイン信号、 V_c はドレンイン信号の振幅の中心電位、 t_2 はドレンイン信号が正極性時におけるゲートパルス幅、 t_3 はドレンイン信号が負極性時におけるゲートパルス幅である。また、駆動方法としては、フリッカを低減させる目的で 1 ゲートライン毎にドレンイン信号の極性を反転させる駆動、即ち、行毎反転駆動を用いている。図中に示すように本発明の駆動法だと、正極性のドレンイン信号が印加された時の選択信号群 ϕ_1 、 ϕ_2 各々の選択パルス幅は負極性のドレンイン信号が印加された時の選択信号群 ϕ_1 、 ϕ_2 各々の選択パルス幅より長い。従って、ドレンイン信号が正極性時には a-Si TFT の駆動能力は低いけれども、選択信号群 ϕ_1 、 ϕ_2 各々の選択パルス幅は長いので、ドレンイン信号は液晶端子部に充分に印加される。したがって、480 ライン以上の周辺回路を内蔵した液晶ディスプレイにおいても表示品質の優

れた液晶表示装置が提供される。

【0013】図6は行毎反転駆動で信号側駆動回路を内蔵したTFT-LCDの第2実施例の回路構成を示したものである。図中において $V_{G1} \sim V_{G480}$ はゲート信号群、 $V_{D1} \sim V_{D960}$ はドレイン信号群、LCは液晶、 Q_T はトランスマニアゲートTFT、 C_{line} はラインメモリ容量である。ここでトランスマニアゲートTFT Q_T はa-Si TFTをレーザーアニールすることにより形成している。上記回路構成だと、図3の回路構成に比べ、 Q_T 、 C_{line} の数は各々 $1/2$ になり、製造歩留まりが向上する。

【0014】図7は図6に示した回路構成に適用した本発明の駆動法を示したものである。図中において、 $V_{G1} \sim V_{G480}$ はゲート信号群、 ϕ は選択信号、 V_D は任意のドレイン信号、 V_c はドレイン信号の振幅の中心電位、 t_s はドレイン信号が正極性時におけるゲートパルス幅、 t_d はドレイン信号が負極性時におけるゲートパルス幅である。また、駆動方法としては、フリッカを低減させる目的で1ゲートライン毎にドレイン信号の極性を反転させる駆動、即ち、行毎反転駆動を用いている。

【0015】図中に示すように本発明の駆動法だと、正極性のドレイン信号が印加された時の選択信号 ϕ の選択パルス幅は負極性のドレイン信号が印加された時の選択信号 ϕ の選択パルス幅より長い。従って、ドレイン信号が正極性時にはa-Si TFTの駆動能力は低いけれども、選択信号群 ϕ の選択パルス幅は長いので、ドレイン信号は液晶端子部に充分に印加される。したがって、480ライン以上の周辺回路を内蔵した液晶ディスプレイにおいても表示品質の優れた液晶表示装置が提供される。

【0016】図8はフリッカを低減させる目的で1ドレインライン毎にドレイン信号の極性を反転させる駆動、即ち、列毎反転駆動を図3に示した回路に用いた場合の駆動法を示したものである。図中において、 $V_{G1} \sim V_{G480}$ はゲート信号群、 ϕ_1 、 ϕ_2 は選択信号群、 V_D は任意のドレイン信号、 V_c はドレイン信号の振幅の中心電位、 t_1 は表示部1ゲートラインの選択時間である。ここで、 ϕ_1 、 ϕ_2 各々の選択パルス幅は1ゲートラインの選択時間 t_1 の $1/2$ である。

【0017】図9は列毎反転駆動を図3に示した回路に用いた場合の本発明の駆動法を示したものである。図中において、 $V_{G1} \sim V_{G480}$ はゲート信号群、 ϕ_1 、 ϕ_2 は選択信号群、 V_D は任意のドレイン信号、 V_c はドレイン信号の振幅の中心電位、 t_1 は表示部1ゲートラインの選択時間、 t_4 はドレイン信号が正極性時における選択信号 ϕ_1 の選択パルス幅、 t_5 はドレイン信号が負極性時における選択信号 ϕ_2 の選択パルス幅である。すなわち、 ϕ_1 、 ϕ_2 各々の選択パルス幅はドレイン信号の極性によって異なる。

【0018】図10は、上記本発明の駆動法の良さを説

明するために、選択パルス ϕ_1 がオン電圧からオフ電圧になった瞬時の状態を示した図である。(a)は図8に示した駆動波形であり、図中において、 C_{line} は液晶容量(含む蓄積容量)、 R_{cross} は1本のドレイン電極と他の電極群との重なり抵抗、 V_{S1} ($V_{S1} < V_D$)は ϕ_1 がオン電圧からオフ電圧になるまでにTFTのソース端子に印加された電圧、 R_{DS1} はソース端子の電位が V_{S1} の時のTFTのドレイン・ソース間抵抗である。一方、(b)は図9に示した本発明の駆動波形であり、図中において、 V_{S2} ($V_{S2} < V_D$)は ϕ_1 がオン電圧からオフ電圧になるまでにTFTのソース端子に印加された電圧、 R_{DS2} はソース端子の電位が V_{S2} の時のTFTのドレイン・ソース間抵抗である。なお、この状態時においてTFTのドレイン端子には V_D は充分に印加されているものとする。

【0019】図中を見ればわかるように、(a)における ϕ_1 のパルス幅は(b)における ϕ_1 のパルス幅より短い。よって、a-Si TFTの駆動能力が不十分の場合は $V_{S2} > V_{S1}$ となる。ここでTFTのドレイン・ソース間抵抗 R_{DS} は、TFTがオン状態時には、ゲート・ソース間電圧が低いほど高くなる。したがって、 $R_{DS2} > R_{DS1}$ となる。

【0020】次に、 ϕ_1 にオフ電圧、 ϕ_2 にオン電圧が印加された状態を考えると、この状態においては R_{cross} が比較的低い場合、先程ソース端子に蓄えられた電荷 Q_s (= $C_{line} \cdot V_s$)は R_{DS} 、 R_{cross} を経由して放電してしまう。ここで、一般的には $R_{DS} \gg R_{cross}$ なので V_s の低下は C_{line} と R_{DS} の時定数で決まる。したがって、図9に示した本発明の駆動法だと R_{cross} が比較的低い場合においても V_s の低下は比較的小さいことがわかる。

【0021】よって、周辺回路を内蔵した液晶ディスプレイにおいて、1本のドレイン電極と他の電極群との重なり抵抗 R_{cross} が比較的低い場合も表示品質の優れた液晶表示装置が提供される。

【0022】図11は列毎反転駆動を図6に示した回路に用いた場合の本発明の駆動法を示したものである。図中において、 $V_{G1} \sim V_{G480}$ はゲート信号群、 ϕ は選択信号、 V_D は任意のドレイン信号、 V_c はドレイン信号の振幅の中心電位、 t_1 は表示部1ゲートラインの選択時間、 t_6 は正極性のドレイン信号を表示部の液晶端子部にa-Si TFTを介して書き込むのに許容されている時間、 t_7 は負極性のドレイン信号を表示部の液晶端子部にa-Si TFTを介して書き込むのに許容されている時間である。

【0023】図中示すように本発明の駆動法だと、正極性のドレイン信号を表示部の液晶端子部にa-Si TFTを介して書き込むのに許容されている時間 t_6 は負極性のドレイン信号を表示部の液晶端子部にa-Si TFTを介して書き込むのに許容されている時間 t_7 より長い。したがって、ドレイン信号が正極性時にはa

-S i TFTの駆動能力は低いけれども、書き込みに許容されている時間は長いのでドレイン信号は液晶端子部に充分に印加される。よって、周辺回路を内蔵した液晶ディスプレイにおいて、表示品質の優れた液晶表示装置が提供される。また、図10に示した効果は上記駆動波形にも適用されるので、周辺回路を内蔵した液晶ディスプレイにおいて、1本のドレイン電極と他の電極群との重なり抵抗 R_{cross} が比較的低い場合も表示品質の優れた液晶表示装置が提供される。

【0024】

【発明の効果】本発明によればドレイン信号が正極性時にはゲートパルス幅が負極性時のゲートパルス幅よりも長い。従って、正極性時にはa-Si TFTの駆動能力は低いけれども、ゲートパルス幅は長いので、ドレイン信号は液晶端子部に充分に印加される。したがって、プロセスのバラツキ等によりTFTの電界効果移動度が低下しても、480ライン以上の液晶ディスプレイは表示品質の優れた液晶表示装置が提供される。

【図面の簡単な説明】

【図1】本発明による $V_{G1} \sim V_{G480}$ のタイミングチャートを示す図である。

【図2】従来のTFT-LCDの構成および駆動波形を示す図である。

【図3】信号側駆動回路を内蔵したTFT-LCDの構

成その1を示す図である。

【図4】図3に示した $V_{G1} \sim V_{G480}$ 、 ϕ_1 、 ϕ_2 、および V_{Dk} (Kは1～960)のタイミングチャートを示す図である。

【図5】行毎反転駆動における本発明による図3に示した $V_{G1} \sim V_{G480}$ 、 ϕ_1 、 ϕ_2 、および V_{Dk} (Kは1～960)のタイミングチャートを示す図である。

【図6】信号側駆動回路を内蔵したTFT-LCDの構成その2を示す図である。

【図7】行毎反転駆動における本発明による図6に示した $V_{G1} \sim V_{G480}$ 、 ϕ_1 、 ϕ_2 、および V_{Dk} (Kは1～960)のタイミングチャートを示す図である。

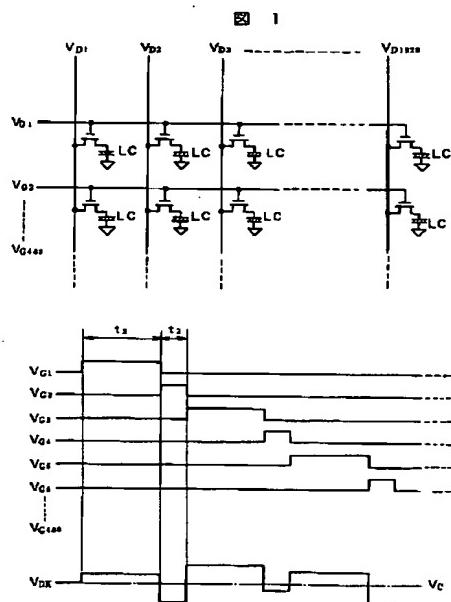
【図8】列毎反転駆動における図3に示した $V_{G1} \sim V_{G480}$ 、 ϕ_1 、 ϕ_2 、および V_{Dk} (Kは1～960)のタイミングチャートを示す図である。

【図9】列毎反転駆動における本発明による図3に示した $V_{G1} \sim V_{G480}$ 、 ϕ_1 、 ϕ_2 、および V_{Dk} (Kは1～960)のタイミングチャートを示す図である。

【図10】選択パルスがオン電圧からオフ電圧になった瞬時の状態を示した図である。

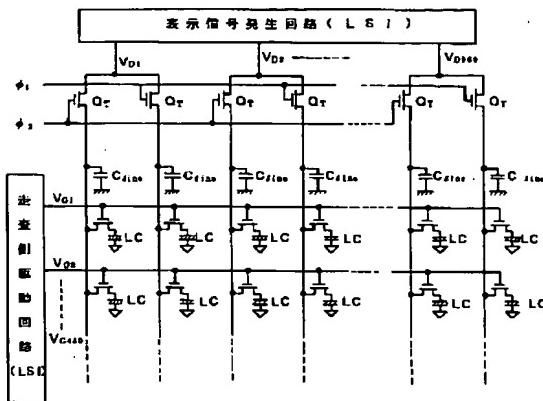
【図11】列毎反転駆動における本発明による図3に示した $V_{G1} \sim V_{G480}$ 、 ϕ_1 、 ϕ_2 、および V_{Dk} (Kは1～960)のタイミングチャートを示す図である。

【図1】



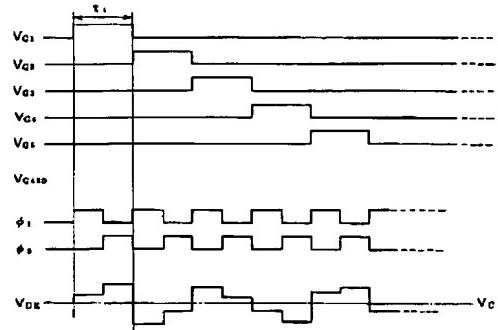
【図3】

図 3



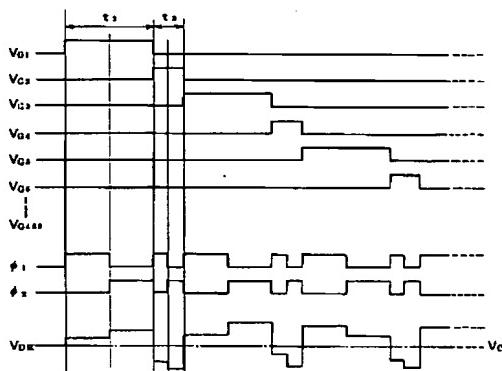
【図4】

図 4



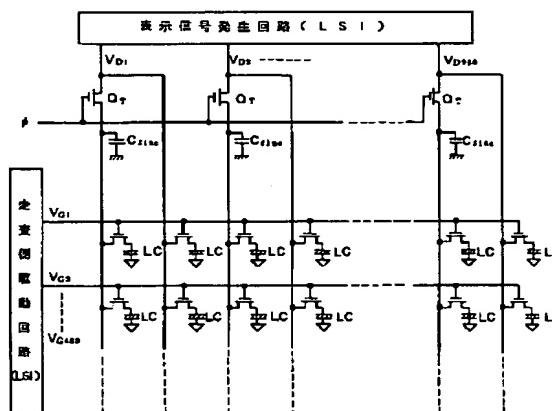
【図5】

図 5

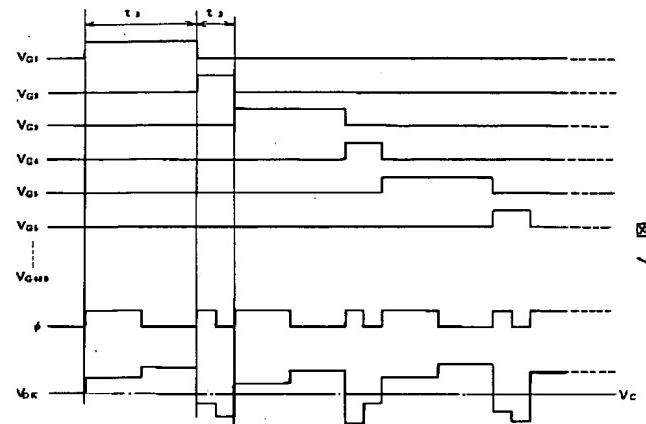


【図6】

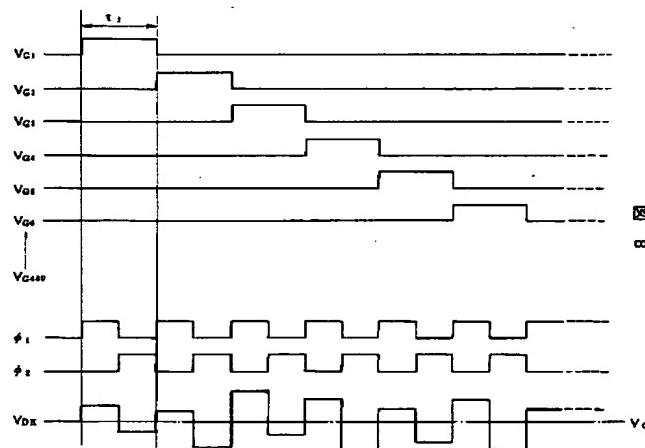
図 6



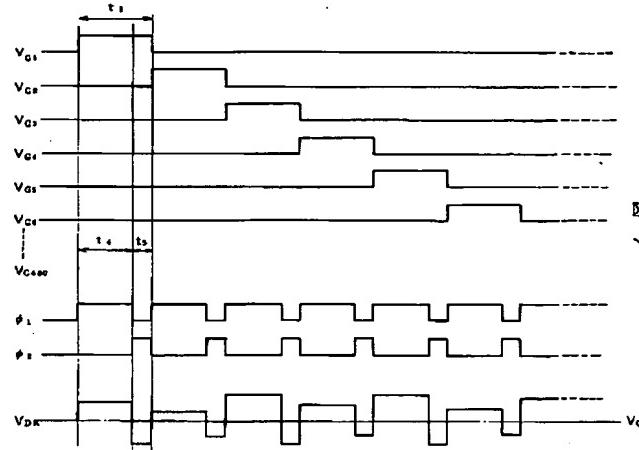
【図7】



【図8】

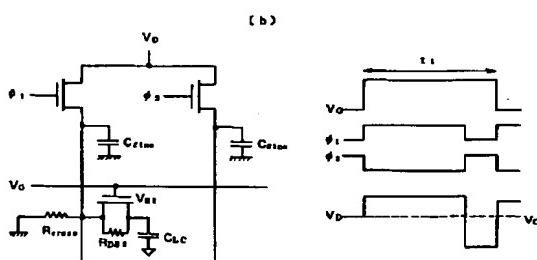
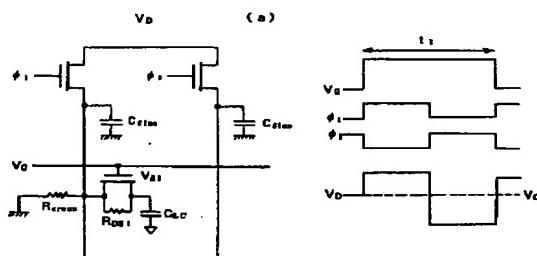


[图 9]



【図10】

图 10



【図11】

